

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173573
(43)Date of publication of application : 26.06.1998

(51)Int.Cl. H04B 3/06
H04B 7/005
H04L 1/06
H04L 25/03
H04L 25/08
H04L 27/01

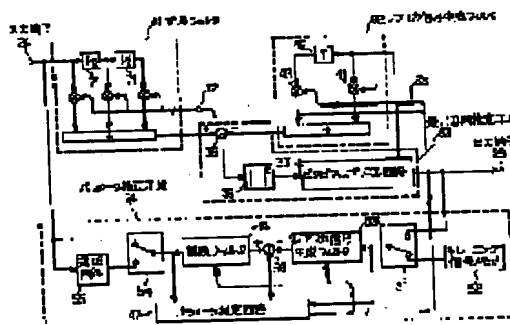
(21)Application number : 08-326923 (71)Applicant : N T T IDO TSUSHINMO KK
(22)Date of filing : 06.12.1996 (72)Inventor : FUKAWA KAZUHIKO

(54) ADAPTIVE EQUALIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an adaptive equalizer which can secure the excellent equalization characteristic despite the timing offset given to a sampling clock.

SOLUTION: The received input signal undergoes a convolutional operation with a tap coefficient via a filter 61 of the preceding stage, so that the sampling timing is controlled. A viterbi algorithm circuit 37 outputs a decision signal via the maximum likelihood series estimation and also outputs a complex symbol series candidate with an error signal, i.e., the difference between the output of the filter 61 and the replica signal of a replica signal generation means 62 used as the likelihood information. A filter 62 convolutes the transmission line characteristic estimation value to the complex symbol series candidate to produce a replica signal. A parameter estimation circuit 47 estimates the tap coefficient and the transmission line characteristic estimation value so as to minimize the average square of the error signal under the constraint condition that fixes a specific element of the transmission line characteristic estimation value based on the input signal and the decision signal.



LEGAL STATUS

[Date of request for examination] 02.11.1999
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(11)特許出願公開番号

特開平10-173573

(43)公開日 平成10年(1998)6月26日

(51) Int.Cl.⁶

識別記号

FI

H 0 4 B 3/06

A

H04B 3/06

7/005

7/005

H04L 1/06

H04L 1/06

25/03

C

25/03

25/08

B

25/08

25/08
審査請求 未請求 請求項の数 2 OL (全 9 頁) 最終頁に続く

(21)出願番号

特願平8-326923

(22) 出願日

平成8年(1996)12月6日

(71)出願人 392026693

エヌ・ティ・ティ移動通信網株式会社
東京都港区虎ノ門二丁目10番1号

(72)発明者 府川 和彦

東京都港区虎ノ門二丁目10番1号 エヌ・
ティ・ティ移動通信網株式会社内

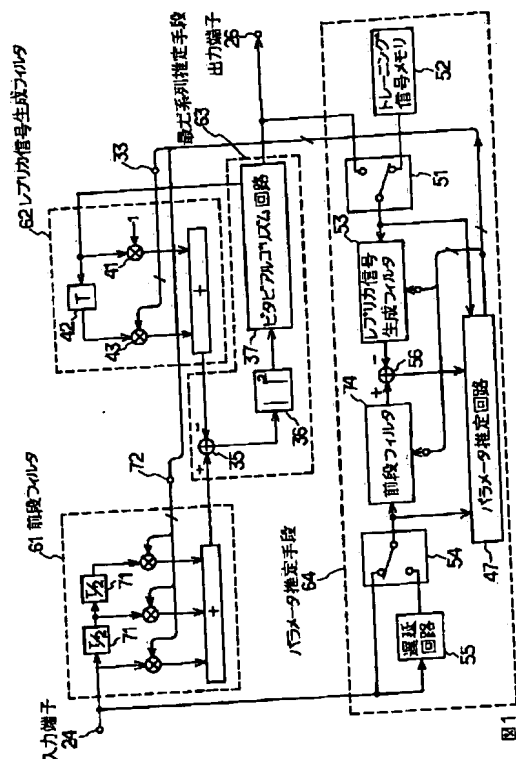
(74)代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 適応等化器

(57) 【要約】

【課題】 サンプルングクロックにタイミングオフセットがある場合でも優れた等化特性が得られる。

【解決手段】 受信入力信号を、前段フィルタ 61 でタップ係数と畳み込み演算することでサンプリングタイミングを調整し、その出力と、レプリカ信号生成手段 62 よりのレプリカ信号との差分である誤差信号を、尤度情報として、ビタビアルゴリズム回路 37 で最尤系列推定により判定信号を出力すると共に複素シンボル系列候補を出力し、この候補に伝送路特性推定値をフィルタ 62 で畳み込み、レプリカ信号を作り、パラメータ推定回路 47 で入力信号と判定信号とから伝送路特性推定値の特定要素を固定にする拘束条件で、前記誤差信号の平均 2 乗が最小となるよう前記タップ係数と伝送路特性推定値を推定する。



【特許請求の範囲】

【請求項1】 1シンボル周期より短いサンプリング周期の受信信号を入力としてタップ係数との畳み込み演算を行い、その演算結果を出力する前段フィルタ手段と、
複素シンボル系列候補を入力として伝送路特性推定値との畳み込み演算を行い、その演算結果をレプリカ信号として出力するレプリカ信号生成フィルタ手段と、
前記前段フィルタ手段の出力と前記レプリカ信号との差分を誤差信号とし、この誤差信号を尤度情報として最尤系列推定により信号判定を行い、判定信号と前記複素シンボル系列候補を出力する最尤系列推定手段と、
前記受信信号と前記判定信号を入力として、前記伝送路特性推定値の特定要素を固定するという拘束条件の下で前記誤差信号の平均2乗が最小となるように、前記タップ係数と前記伝送路特性推定値を推定し出力するパラメータ推定手段とから構成されることを特徴とする適応等化器。

【請求項2】 複数のアンテナからのそれぞれ1シンボル周期より短いサンプリング周期の受信信号を入力として、これらの受信信号に対し各々相異なるタップ係数との畳み込み演算を行い、その複数の演算結果を足し合わせたものを出力する前段フィルタ手段と、
複素シンボル系列候補を入力として伝送路特性推定値との畳み込み演算を行い、その演算結果をレプリカ信号として出力するレプリカ信号生成フィルタ手段と、
前記前段フィルタ手段の出力と前記レプリカ信号との差分を誤差信号とし、この誤差信号を尤度情報として最尤系列推定により信号判定を行い、判定信号と前記複素シンボル系列候補を出力する最尤系列推定手段と、
前記複数の受信信号と前記判定信号を入力として、前記伝送路特性推定値の特定要素を固定するという拘束条件の下で前記誤差信号の平均2乗が最小となるように、前記タップ係数と前記伝送路特性推定値とを推定し出力するパラメータ推定手段とから構成されることを特徴とする適応等化器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタル無線通信において符号間干渉による伝送特性劣化を抑える適応等化器に関するものである。

【0002】

【従来の技術】デジタル無線通信、特にデジタル移動通信においては、伝搬路が遅延時間の異なる複数の遅延波が存在する多重波伝搬路となり、符号間干渉による伝送特性劣化の要因となっている。この伝送特性劣化を抑える技術として等化器がある。等化能力の高い等化器の一つとして最尤系列推定 (Maximum Likelihood Sequence Estimation: MLSE) が知られている。この等化

信号判定ではその値が最も大きい信号系列を選択する。信号系列が長くなると、可能性のある全ての信号系列の数は指数関数的に増大する。そこで系列数を減らして演算量を抑えるために、MLSEをビタビアルゴリズムで行なうビタビ形等化器が知られている。

【0003】ビタビ形等化器を含む従来の受信機の構成を図3に示す。まず、アンテナ11から受信した受信波は、低雑音アンプ12で増幅された後に、ハイブリッド13で2分岐される。その1つの信号は、キャリア信号発生器14が出力するキャリア信号を乗算器15で乗算された後にローパスフィルタ16へ入力される。そのローパスフィルタ16の出力は、A/D変換器17でサンプリング周期 T_s ごとにサンプリングされてデジタル信号に変換される。ハイブリッド13の他方の信号は、90度位相回転したキャリア信号を乗算器21で乗算され、ローパスフィルタ22へ入力された後にA/D変換器23でサンプリングされ、デジタル信号に変換される。

【0004】以上の操作は準同期検波であり、A/D変換器17、23の各出力は準同期検波信号の同相成分及び直交成分にそれぞれ相当し、ここではこの2つを合わせて受信信号と呼ぶことにする。以下の記述では、信号は全て同相成分及び直交成分を有し、同相成分を実部に直交成分を虚部に表示する複素表示を用いて信号を表すことにする。受信信号は伝送路の符号間干渉により波形歪みを起こしており、入力端子24を通してビタビ形等化器25へと入力される。ビタビ形等化器25はこの波形歪みによる伝送特性劣化を抑え、信号判定を行い判定信号を出力端子26から出力する。

【0005】ビタビ形等化器25の構成を図4に示す。ここでは、A/D変換器17及び23のサンプリング周期 T_s は変調のシンボル周期 T とする。レプリカ信号生成回路31は、入力端子32から入力する複素シンボル系列候補と、入力端子33から入力する伝送路特性推定値との畳み込み演算を行い、その演算結果をレプリカ信号として出力端子34から出力する。複素減算器35は、入力端子24から入力する受信信号と端子34からのレプリカ信号との差分を誤差信号として出力する。2乗演算回路36は、その誤差信号の絶対値2乗に負の定数を乗算した値を尤度情報、即ちブランチメトリックとしてビタビアルゴリズム回路37に入力する。ビタビアルゴリズム回路37は、複素シンボル系列候補を出力し、ビタビアルゴリズムを用いて最尤系列推定による信号判定を行う。具体的には、複素シンボル系列候補ごとにブランチメトリックの累積値として対数尤度関数、即ちパスメトリックを計算し、パスメトリックを最大とする複素シンボル系列候補をビタビアルゴリズムにより求める。そして、選択された複素シンボル系列候補を判定信号として出力端子26へと出力する。なお、この判定信号は、現時点から後述する判定遅延分だけ遅延してい

る。

【0006】上記のレプリカ信号生成回路31の構成は、図5Aに示すようなトランスバーサルフィルタであり、遅延時間1Tまでの遅延波の影響を考慮してある。遅延時間NT（Nは自然数）までの遅延波の影響を考慮すると、トランスバーサルフィルタの遅延素子の数はN個となり、タップ数、即ち複素乗算器の数はN+1となる。入力端子32から入力する複素シンボル系列候補は、遅延量が1シンボル周期Tの遅延素子42へ供給され、その遅延素子42の入力信号と出力信号と入力端子33から入力する伝送路特性推定値と、それぞれ複素乗算器41及び43で乗算され、その乗算後に複素加算器44で足し合わされる。この演算は畳み込み演算であり、演算結果が出力端子34から出力される。

【0007】次に、上記の伝送路特性推定値を出力する図4中のパラメータ推定手段45について説明する。なお以下では、信号は図5Bに示すようなトレーニング信号48と、これに続くデータ信号49よりなるバースト構成で送信されるものとする。スイッチ回路51は、トレーニング信号48の区間ではトレーニング信号メモリ52が出力するトレーニング信号を選択し、トレーニング信号48に続くデータ信号49の区間ではビタビアルゴリズム回路37が出力する判定信号を選択し出力する。レプリカ信号生成回路53は、スイッチ回路51の出力とパラメータ推定回路47が出力する伝送路特性推定値との畳み込み演算を行い、その演算結果をレプリカ信号として出力する。同様にスイッチ回路54は、トレーニング信号区間では入力端子24よりの受信信号を選択し、データ信号区間では遅延回路55からの判定遅延分遅延した受信信号を選択して出力する。これは、判定信号が判定遅延分だけ現時点から遅延しているからである。複素減算器56は、スイッチ回路54の出力信号とレプリカ信号との差分を出力する。この差分は、トレーニング信号区間では現時点の誤差信号、データ信号区間

$$J_{k+1} [\sigma_s (k+1), \sigma_{s'} (k)] \\ = J_k [\sigma_{s'} (k)] + BR [\sigma_s (k+1), \sigma_{s'} (k)] \quad (1)$$

で算出される。 $J_k [\sigma_{s'} (k)]$ は時点kにおけるバスマトリックであり、尤度に対応している。状態遷移 $\sigma_{s'} (k) \rightarrow \sigma_s (k+1)$ における複素シンボル系列候補は $\{a_m (k), a_m (k+1)\}$ で表される。ビタビアルゴリズムではマージする2つの遷移に対応した $J_{k+1} [\sigma_s (k+1), \sigma_{s'} (k)]$ を比較して大きい方の遷移を選択し、その選択された遷移のメトリックを時点k+1におけるバスマトリック $J_{k+1} [\sigma_s (k+1)]$ にする。そして、選択された遷移に接続する状態の時系列、即ちパスのみが最尤系列候補として残される。以後この操作を繰り返すと、状態の数だけパスが生き残る。このパスは生き残りパスと呼ばれている。なお、メモリの制約上、状態の時系列は過去 $(D-Q+1)$ Tまでのしか記憶せず、過去 $(D-Q+1)$ Tの時点

では現時点から判定遅延分だけ遅延した誤差信号である。パラメータ推定回路47は、この差分信号とスイッチ回路51の出力信号を入力として、誤差信号の2乗平均が最小となるように、即ち最小2乗法に基づき伝送路推定値を求め出力する。最小2乗法のアルゴリズムとしては、正規方程式を厳密に逐次的に解くRLSアルゴリズム、特性が良く演算量が少ないLMSアルゴリズムが一般的であり、この他にも様々なものが知られている (Haykin, S. "Adaptive Filter Theory", 2nd, Ed. Prentice-Hall, 1992)。

【0008】次に、上述のビタビアルゴリズム回路37が用いるビタビアルゴリズムについて説明する。ビタビアルゴリズムによる状態推定について、変調方式がBPSK変調を例に具体的に述べる。まず、状態について説明する。伝送路における遅延波の最大遅延時間がQTのとき、 $\{a_m (q) \mid k-Q+1 \leq q \leq k\}$ を状態と呼ぶ。ここで $a_m (q)$ は複素シンボル $a (q)$ に対する複素シンボル候補である。この場合、状態数は 2^Q となり、複素シンボル系列はこの状態の系列として記述することができる。図6Aに $Q=1$ の状態遷移図、即ちトレリス図を示す。時刻kTにおけるs番目の状態を $\sigma_s (k)$ とする。ここでは、 $0 \leq s \leq 1$ であり、時刻がkTから $(k+1)T$ に進むとき状態が遷移する。状態遷移は、複素シンボル $a (k+1)$ に対する複素シンボル候補 $a_m (k+1)$ の値に依存するので、1つの状態から2通りの遷移が起きる。同図が示すように、1つの状態から2つの状態へと分岐し、また、2つの状態から1つの状態にマージする。遷移先でマージする2つの遷移から1つの遷移を選択するために $\sigma_{s'} (k)$ から $\sigma_s (k+1)$ への遷移に対応した遷移メトリック $J_{k+1} [\sigma_s (k+1), \sigma_{s'} (k)]$ を用いる。

【0009】状態 $\sigma_{s'} (k)$ から $\sigma_s (k+1)$ への遷移におけるメトリックは、遷移ごとのブランチメトリック $BR [\sigma_s (k+1), \sigma_{s'} (k)]$ を用いて

$$J_{k+1} [\sigma_s (k+1), \sigma_{s'} (k)] = J_k [\sigma_{s'} (k)] + BR [\sigma_s (k+1), \sigma_{s'} (k)] \quad (1)$$

で生き残りパスがマージしないなら現時点で最大尤度となる。つまりバスマトリック最大のパスに基づいて信号判定を行なう。このとき判定される信号は、現時点からDT遅延したものであり、このDTを判定遅延時間という (G. Ungerboeck, "Adaptive maximum likelihood receiver for carrier-modulated data-transmission systems," IEEE Trans. Comm., vol. COM-22, pp. 624-636, 1974)。ただし、 $D \geq Q$ である。

【0010】次に、サンプリングクロックと等化特性について述べる。波形歪および雑音がない受信信号の同相成分、もしくは直交成分の波形を図6Bに示す。ここで、サンプリング周期 T_s は変調のシンボル周期Tと等しく、一点鎖線58は信号判定のしきい値を示すものとする。同図(a)は受信信号波形を示し、受信信号に対

するサンプリングクロックのタイミングオフセットが0の場合は同図(b)のサンプリング1に対応しており、タイミングオフセットが $T/2$ の場合は同図(c)のサンプリング2に対応している。タイミングオフセットが0だと、受信信号サンプリング値のレベルは常に一定であるが、 $T/2$ 程度になるとレベルが極端に小さくなる場合がある。雑音があるとき受信信号サンプリング値のレベルが小さくなると等化器の特性は劣化するので、サンプリングクロックのタイミングオフセットにより等化器の特性は劣化する。

【0011】以上説明したように、従来のビタビ形等化器を含む受信機構成では、サンプリング周期がシンボル周期と一致しているため、サンプリングクロックのタイミングオフセットにより等化特性が大幅に劣化するという欠点があった。

【0012】

【発明が解決しようとする課題】この発明の目的は、サンプリングクロックにタイミングオフセットがある場合でも優れた等化特性が得られるビタビ形適応等化器を提供することにある。

【0013】

【課題を解決するための手段】この発明における適応等化器は、図1に示すように、(1)受信信号とタップ係数との畳み込み演算を行う前段フィルタ手段61と、

(2)複素シンボル系列候補と伝送路推定値との畳み込み演算を行い、レプリカ信号として出力するレプリカ信号生成フィルタ手段62と、(3)前段フィルタ手段の出力とレプリカ信号との差分を誤差信号とし、この誤差信号を基に信号判定を行い、判定信号と複素シンボル系列候補を出力する最尤系列推定手段63と、(4)受信信号と判定信号を入力として、タップ係数と伝送路特性推定値とを推定するパラメータ推定手段64とから成る。

【0014】ダイバーシチ受信を行うとき、前段フィルタ手段は、複数のアンテナからの受信信号に対し各々異なるタップ係数との畳み込み演算を行い、それらを足しあわせ出力するように拡張することができる。

【作用】この発明における基本的な作用は次のようなものである。(1)前段フィルタ手段は、受信信号とタップ係数との畳み込み演算を行うことにより、サンプリングタイミング調整を行い、その演算結果を出力する。

(2)レプリカ信号生成フィルタ手段は、複素シンボル系列候補と伝送路推定値との畳み込み演算を行い、受信信号の推定値であるレプリカ信号を出力する。(3)最尤系列推定手段は、前段フィルタ手段の出力とレプリカ信号との差分を誤差信号とし、この誤差信号を尤度情報として最尤系列推定により信号判定を行い、判定信号と複素シンボル系列候補を出力する。(4)パラメータ推定手段は、受信信号と判定信号を入力として、伝送路特性推定値の特定要素を固定するという拘束条件の下で、

誤差信号の平均2乗が最小となるようにタップ係数と伝送路特性推定値を推定する。

【0015】前段フィルタ手段はダイバーシチ受信の際、複数のアンテナからの受信信号に対し、各々異なるタップ係数との畳み込み演算を行うことによりサンプリングタイミング調整を行い、その複数の演算結果を足しあわせ出力することも可能である。従来技術とは、以下の点が異なる。

(1)前段フィルタ手段において受信信号とタップ係数との畳み込み演算を行うことにより、サンプリングタイミング調整を行い、その演算結果を用いて尤度情報を求める。

(2)前段フィルタ手段のタップ係数と伝送路特性推定値は、伝送路特性推定値の特定要素を固定するという拘束条件の下で、誤差信号の平均2乗が最小となるように推定する。

【0016】

【発明の実施の形態】

実施例1

この発明の実施例1の構成を図1に示す(請求項1)。入力端子24からサンプリング周期 $T/2$ の受信信号が入力する。サンプリングクロックのタイミングオフセットによる劣化は、遅延素子の遅延時間が1T以下のトランスバーサルフィルタを用いれば補償できることが知られている(Ungerboeck, G., "Fractional tap-spacing equalizer and consequence for clock recovery in data modems", "IEEE Trans. on Commun. Vol.COM-24, No.8, pp.856-864, August 1976)。従って、この発明では入力受信信号に対し、遅延時間が1Tより小さいトランスバーサルフィルタの前段フィルタ61を設ける。つまり、前段フィルタ手段に相当する前段フィルタ61は、同図に示すように遅延時間 $T/2$ の遅延素子71を2段持つトランスバーサルフィルタであり、端子24よりの受信信号と、端子72から入力するタップ係数との畳み込み演算を行い、その演算結果を出力する。この畳み込み演算は、異なるタイミングの受信信号の中から最適タイミングのものを選択する機能があり、サンプリングタイミングの調整を適応的に行うことができる。

【0017】レプリカ信号生成手段に相当するレプリカ信号生成フィルタ62は、同図に示すように遅延時間Tの遅延素子42を1つ持つトランスバーサルフィルタであり、複素シンボル系列候補と、端子33から入力する伝送路特性推定値との畳み込み演算を行い、レプリカ信号として出力する。ここで、遅延素子42の入力となる複素シンボル系列候補が入力される複素乗算器41のタップ係数を1として、先行波のフェージング振幅は1に固定してある。このフェージング振幅は伝送路特性推定値の特定要素に相当する。複素減算器35は、前段フィルタ61の出力とレプリカ信号生成フィルタ62よりのレプリカ信号との差分を誤差信号として出力する。2乗

演算回路36は、その誤差信号の絶対値2乗に負の定数を乗算した値を尤度情報、即ちブランチメトリックとしてビタビアルゴリズム回路37に入力する。ビタビアルゴリズム回路37は複素シンボル系列候補を出力し、ビタビアルゴリズムを用いて最尤系列推定による信号判定を行う。具体的には、複素シンボル系列候補ごとにブランチメトリックの累積値として対数尤度関数、即ちパスメトリックを計算し、パスメトリックを最大とする複素シンボル系列候補をビタビアルゴリズムにより求める。そして、選択された複素シンボル系列候補を判定信号として出力端子26へと出力する。ここで、複素減算器35、2乗演算回路36及びビタビアルゴリズム回路63は最尤系列推定手段63に相当する。

【0018】パラメータ推定手段64は、トレーニング信号メモリ52、遅延回路55、スイッチ回路51及び54、前段フィルタ74、複素減算器56、レプリカ信号生成フィルタ53及びパラメータ推定回路47から構成されるが、受信信号と判定信号を入力として、前段フィルタ61のタップ係数と伝送路特性推定値を推定し出力する。次にこのパラメータ推定手段64について説明する。スイッチ回路51は、トレーニング信号区間ではトレーニング信号メモリ52が出力するトレーニング信号を選択し、トレーニング信号に続くデータ信号区間ではビタビアルゴリズム回路37が出力する判定信号を選択して出力する。レプリカ信号生成フィルタ53は、スイッチ回路51の出力とパラメータ推定回路47が出力する伝送路特性推定値との畳み込み演算を行い、その演算結果をレプリカ信号として出力する。同様にスイッチ回路54は、トレーニング信号区間では入力端子24の受信信号を選択し、データ信号区間では遅延回路54からの判定遅延分遅延した受信信号を選択して出力する。これは、判定信号が判定遅延分だけ遅延しているからである。前段フィルタ74は、スイッチ回路54の出力信号と、パラメータ推定回路47の出力信号であるタップ係数との畳み込み演算を行い、その演算結果を出力する。複素減算器56は、前段フィルタ74の出力信号とレプリカ信号との差分を求め出力する。この差分は、トレーニング信号区間では現時点の誤差信号、データ信号区間では現時点から判定遅延分だけ遅延した誤差信号である。パラメータ推定回路47は、この差分とスイッチ回路51及び54の出力信号を入力として、先行波のフェージング振幅を1（定数）に固定するという拘束条件の下で、誤差信号の2乗平均が最小となるように、即ち最小2乗法に基づきタップ係数及び伝送路特性推定値を求めて出力する。ここで、先行波のフェージング振幅は伝送路特性推定値の特定要素に相当する。

【0019】上記の拘束条件がないと、前段フィルタ74を設けた状態での最小2乗推定ではタップ係数及び伝送路特性推定値は全て0になってしまう、等化特性が大幅に劣化する。拘束条件はこの事態を防ぐために必要と

なっている。拘束条件下での最小2乗法は、アダプティブアレイの拘束条件付き出力電力最小化アルゴリズムとして、R.T.Jr. Compton 著“Adaptive antennas”（Prentice Hall 出版1988年）の第6章に記載されているが、先行波の複素シンボル候補を基準信号と見なせば、通常の最小2乗法のアルゴリズムが適用できる。

【0020】この実施例ではサンプリング周期 $T/2$ の受信信号を用いており、前段フィルタ手段61、74において受信信号とタップ係数との畳み込み演算を行うことにより、サンプリングタイミング調整を行っている。従って、サンプリングクロックのタイミングオフセットがある場合でも等化特性の劣化を抑えることができる。なお、ここではサンプリング周期を $T/2$ としたが、他のサンプリング周期の値（シンボル周期 T 未満）への拡張は容易に行える。このように入力信号のサンプリング周期は1シンボル周期より小とされるが、レプリカ信号生成フィルタ62、最尤系列推定手段63、パラメータ推定手段64での各処理は1シンボル周期 T ごとでよい。

【0021】また、先行波のフェージング振幅を固定したが、遅延波のフェージング振幅を固定することも可能である。この場合、レプリカ信号生成フィルタの他方の複素乗算器に固定値が設定される。例えばレプリカ信号生成フィルタ62においては複素乗算器43のタップ係数を1に固定する。さらに、ビタビアルゴリズム回路27で用いるビタビアルゴリズムは、演算量を削減するため、本来のビタビアルゴリズムよりも状態数を少なくするDDFSE等の簡易アルゴリズムで代用することも可能である。

実施例2

この発明の他の実施例の構成を図2に示す（請求項2）。この構成は実施例1をダイバーシチ受信の場合に拡張したものであり、同図では2ブランチを例に示した。まず、入力端子24₁及び24₂からそれぞれ2つのアンテナからの受信信号が入力する。ここで、受信信号のサンプリング周期は $T/2$ である。入力端子24₁からの受信信号は前段フィルタ61₁でタップ係数と畳み込み演算され、入力端子24₂からの受信信号は前段フィルタ61₂で異なるタップ係数と畳み込み演算される。複素加算器81は前段フィルタ61₁及び61₂の出力信号を足しあわせ出力する。前段フィルタ61₁及び61₂は、図1中の前段フィルタ61と同様、遅延時間 $T/2$ の遅延素子71を持つトランスバーサルフィルタである。畳み込み演算は、異なるタイミングの受信信号の中から最適タイミングのものを選択する機能があり、サンプリングタイミングの調整を適応的に行うことができる。ここで、前段フィルタ61₁及び61₂、複素加算器81は前段フィルタ手段61に相当する。レプリカ信号生成手段に相当するレプリカ信号生成フィルタ62は、図1に示したものと同一構成であり、複素シンボル系列候補と、端子33から入力する伝送路特性推定

値との畳み込み演算を行い、レプリカ信号として出力する。複素減算器35は、複素加算器81の出力信号とレプリカ信号との差分を、誤差信号として出力する。2乗演算回路36は、その誤差信号の絶対値2乗に負の定数を乗算した値を尤度情報、即ちブランチメトリックとしてビタビアルゴリズム回路37に入力する。ビタビアルゴリズム回路37は図1に示したものと同様、複素シンボル系列候補を出力し、最尤系列推定による信号判定を行い判定信号を出力端子26へと出力する。ここで、複素減算器35、2乗演算回路36及びビタビアルゴリズム回路37は最尤系列推定手段63に相当する。

【0022】パラメータ推定手段64は、トレーニング信号メモリ52、遅延回路55₁及び55₂、スイッチ回路51、54₁、54₂、前段フィルタ74₁及び74₂、複素減算器56、複素加算器82、レプリカ信号生成フィルタ53及びパラメータ推定回路47から構成されるが、入力端子24₁及び24₂から入力する各受信信号と判定信号を入力として、前段フィルタ61₁及び61₂のタップ係数と伝送路特性推定値を推定し出力する。次に、このパラメータ推定手段64について説明する。スイッチ回路51は、トレーニング信号区間ではトレーニング信号メモリ52が出力するトレーニング信号を選択し、トレーニング信号に続くデータ信号区間では判定信号を選択し出力する。レプリカ信号生成フィルタ53は、スイッチ回路51の出力とパラメータ推定回路47が出力する伝送路特性推定値との畳み込み演算を行い、その演算結果をレプリカ信号として出力する。同様にスイッチ回路54₁及び54₂はそれぞれ、トレーニング信号区間では受信信号を選択し、データ信号区間では判定遅延分遅延した受信信号を選択して出力する。これは、判定信号が判定遅延分だけ遅延しているからである。前段フィルタ74₁及び74₂はそれぞれ、スイッチ回路54₁及び54₂の出力信号と、パラメータ推定回路47の出力信号であるタップ係数との畳み込み演算を行い、その演算結果を出力する。複素加算器82は前段フィルタ74₁及び74₂の出力信号を足し合わせ、複素減算器56はこれからレプリカ信号を差し引き出力する。この差分は、トレーニング信号区間では現時点の誤差信号、データ信号区間では現時点から判定遅延

分だけ遅延した誤差信号である。パラメータ推定回路47は、この差分とスイッチ回路51、54₁、54₂の各出力信号を入力として、実施例1と同様、先行波のフェージング振幅を1に固定するという拘束条件の下で、誤差信号の2乗平均が最小となるように、即ち最小2乗法に基づきタップ係数及び伝送路特性推定値を求め出力する。

【0023】この実施例ではサンプリング周期 $T/2$ の受信信号を用いており、前段フィルタ手段61₁、61₂、74₁、74₂において受信信号とタップ係数との畳み込み演算を行うことにより、サンプリングタイミング調整を行っている。従って、実施例1と同様、サンプリングクロックのタイミングオフセットによる等化特性の劣化を抑えることができる。加えて、複素加算器81、82で複数の前段フィルタの出力を合成しており、ダイバーシチ合成と等価な機能を有している。従って、等化しきれない長い遅延時間の遅延波が到来する場合でも、前段フィルタ手段においてダイバーシチ合成により除去できるので、等化特性を維持できる。

【0024】

【発明の効果】以上説明したように、前段フィルタ手段において受信信号のタイミング調整を行うので、サンプリングクロックにタイミングオフセットがある場合でも等化器は良好に動作する。また、ダイバーシチ受信への拡張構成では、等化しきれない長い遅延時間の遅延波が到来する場合でも、前段フィルタ手段においてダイバーシチ合成を行うので、等化特性を維持できる。

【0025】従ってこの発明はデジタル無線通信において、符号間干渉による伝送特性劣化が著しい高速伝送システムに効果的である。

【図面の簡単な説明】

【図1】この発明の実施例1の機能構成図。

【図2】この発明の実施例2の機能構成図。

【図3】従来のビタビ形等化器を含む受信機の構成図。

【図4】従来のビタビ形等化器の機能構成図。

【図5】Aは図4中のレプリカ信号生成回路31の機能構成図、Bは送信信号のフレームの構成図である。

【図6】Aはビタビアルゴリズムの状態遷移図、Bは受信信号とサンプリングタイミングの説明図である。

【図 1】



【图2】



(8)

【図3】

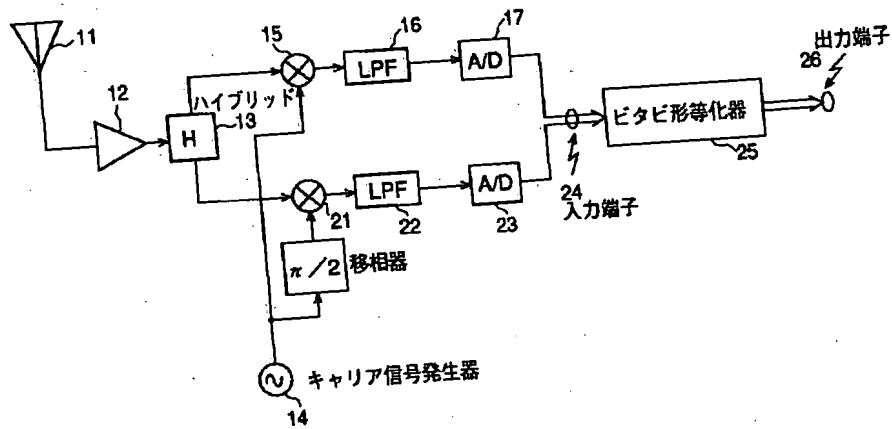


図 3

【図4】

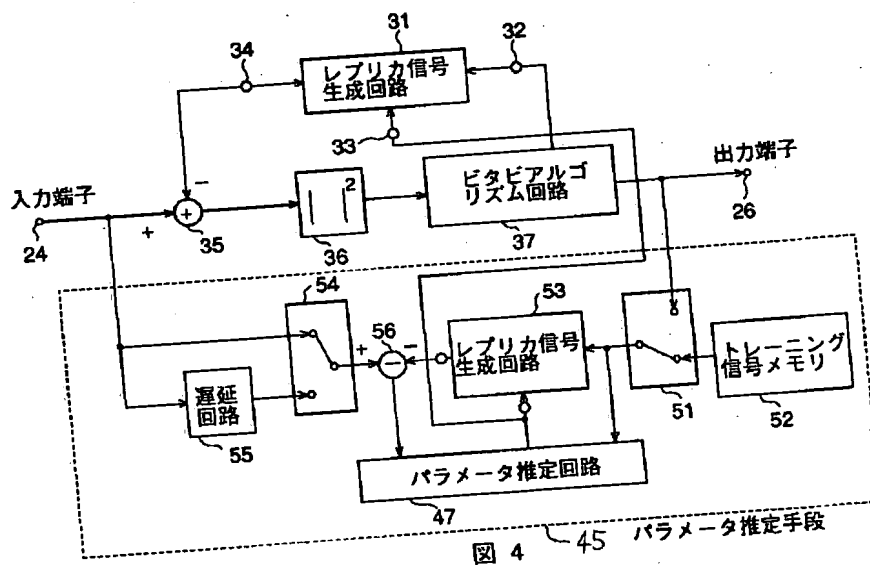


図 4 45 パラメータ推定手段

(9)

【図5】

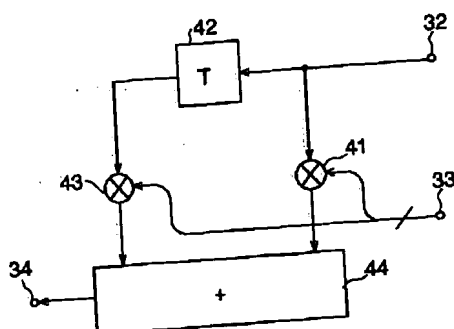


図 5 A

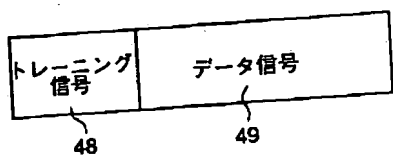


図 5 B

【図6】

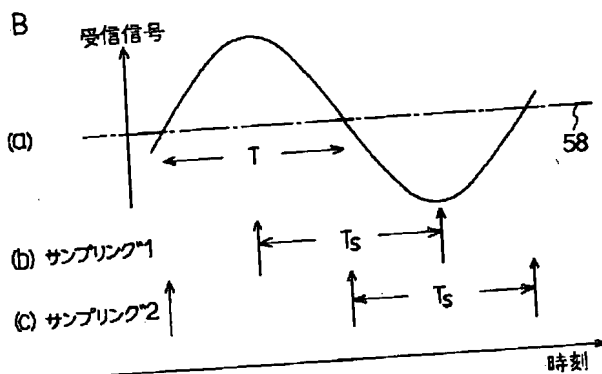
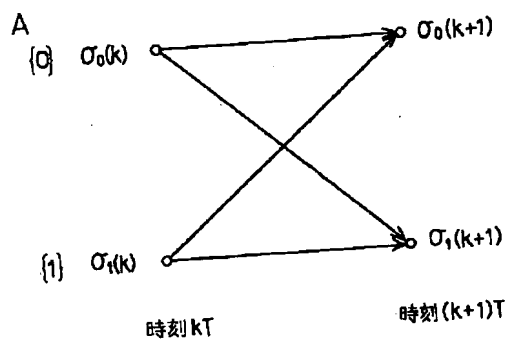


図6

フロントページの続き

(51) Int. Cl. 6
H04L 27/01

識別記号

F I
H04L 27/00

K